

電子機器の集積度をより高めるため、複数チップを3次元に積層する技術が開発されている。広島大学の研究グループは、これまでチップ間接続に用いられていた金属配線を不要にする新しい集積技術として、磁力線でデータを転送するインダクタ結合と、マイクロアンテナで送受信する電波通信、の2種類のチップ間無線接続を提案している。特に電波通信では、10GHzの高速クロック分配の可能性を持つ。複数のチップにわたってデータを転送でき、10チップ以上の機能や材料の違うチップの積層も可能としている。評価結果が2005年2月の国際固体回路会議と6月のVLSIシンポジウムで報告された。

トピックス 3 3次元チップ積層での無線を用いたチップ間接続の研究開発

LSI（大規模集積回路、以降チップという）の集積度向上は携帯電話の小型化、多機能化や超高性能コンピュータ等の性能向上を達成してきており、今後も更なる高集積化の向上が望まれている。いまままで集積規模は主に微細化技術によって順調に増加してきたが、その増加傾向も製造コストと消費電力の急激な上昇で飽和しつつある。そのため1チップではなく、複数チップを積層して高集積化に対応する方法も開発されている。チップ間の接続（インターコネクション）に金属線（Bonding wire）を用いるシステムインパッケージ（SiP）という実装技術や積層チップ間を貫通ビアホール（Via hole）で接続する集積技術などである。いずれもこれまでチップ間接続は金属配線によって実現されてきた。

広島大学ナノデバイス・システム研究センターの岩田豊教授と吉川公磨教授のグループは、無線インターコネクション技術を導入して、積層チップ間のデータ通信を行う3次元集積技術を開発しており、2005年2月の国際固体回路会議ISSCCで報告した¹⁾。この3次元集積技術では、磁力線を発生するコイルによる無線通信（インダクタ結合）とマイクロアンテナによる電波通信の2種類の無線インターコネクションを用いてチップ間の無線接続を行っている。右図は、両インターコネクションを組合わせた3次元集積システムである。

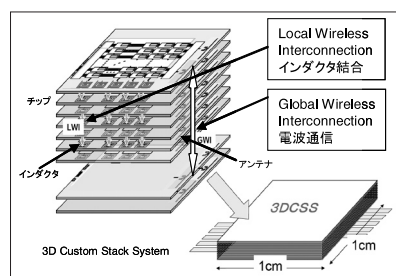
インダクタ結合では、多数のインダクタ対をチップ上の任意の位置に形成し、隣接チップ間を磁力線で無線通信する。トランスの原理を用い、100 μ m程度の距離で誘導結合できるため、チップ内に分散して存在するデータを並列に転送できる。転送距離は一旦チップ周辺に配線を引出して

接続する方式に比べ、垂直分の距離だけで済むため伝搬時間が短く、インダクタ結合当り1mW以下の従来より1桁小さい微小電力で1Gビット/秒のデータ転送を実現している。チップ間の位置ずれの許容度が大きく、またインダクタのサイズは、従来の外部端子（パッド）より小さく出来るため、製造の点でも有利である。これらの最新の研究成果を2005年6月のVLSIシンポジウムで報告している²⁾。

一方、電波通信では、チップを透過して高周波（約30GHz）の電波を伝搬させ、各チップに形成したマイクロアンテナ（約4mm）で送受信する。複数のチップを亘ってデータを転送できるため、システム全体のクロック供給やデータの同時伝送に用いることができる。10チップ以上の積層も可能とし、10GHzの高速クロック分配の可能性を持つ。

このような3次元積層方法では、機能や材料の違うチップの集積もでき、また例えば、チップ間に熱伝導の良い膜をはさむことで発熱対策も可能になる。今後の課題は、インダクタ対の高密度配置時のクロストーク問題、電波干渉問題への対応等であり、更なる研究開発が推進されている。

3次元集積システム（3DCSS）



提供：岩田教授

参考文献：

- 1) A 3D Integration Scheme utilizing Wireless Interconnections fro Implementing Hyper Brains (ISSCC 2005.2)
- 2) A 0.95mW/1.0Gbps Spiral-Inductor Based Wireless Chip-Interconnect with Asynchronous Communication Scheme(Symposia on VLSI Technology and Circuits 2005.6)